

SEMICONDUCTOR DEVICE AND ITS MANUFACTURE

Patent Number: JP11074535
Publication date: 1999-03-16
Inventor(s): YAMAZAKI SHUNPEI
Applicant(s): SEMICONDUCTOR ENERGY LAB CO LTD
Requested Patent: JP11074535
Application Number: JP19970249817 19970829
Priority Number(s):
IPC Classification: H01L29/786; H01L21/336
EC Classification:
Equivalents:

Abstract

PROBLEM TO BE SOLVED: To effectively control a threshold voltage of a bottom gate type TFT, by more reducing a concentration of an impurity element contained in a channel forming region toward an interface between the channel forming region and a gate insulating film.

SOLUTION: A base film 102 is provided on a glass board 101. Gate electrodes 103, 104 are formed on the film 102, and a gate insulating film 105 is laminated on the electrodes 103, 104. And, an amorphous silicon film 106 is formed on the film 105. Then, when a linearly processed excimer laser beam is scanned from one end to the other end of the board so that the overall surface of the film 106 is crystallized, a crystalline silicon film 107 is obtained. Then, a buffer layer 108 is formed on the film 107. When a region to become a PTFT is concealed with a resist mask 109 and boron is added, a boron-containing region 110 is formed. In this case, since it is effected by the process of through doping via the layer 108, damage at the time of ion implanting the film 107 is suppressed. Accordingly, since rather thick buffer layer 108 exists, control of concentration of impurity to be added into the film 107 is facilitated.

Data supplied from the esp@cenet database - I2

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-74535

(43)公開日 平成11年(1999)3月16日

(51)Int.Cl.⁶
H 01 L 29/786
21/336

識別記号

F I
H 01 L 29/78

6 1 8 F
6 1 3 A
6 1 6 A
6 1 8 G
6 2 7 G

審査請求 未請求 請求項の数18 FD (全 13 頁)

(21)出願番号 特願平9-249817

(22)出願日 平成9年(1997)8月29日

(71)出願人 000153878

株式会社半導体エネルギー研究所
神奈川県厚木市長谷398番地

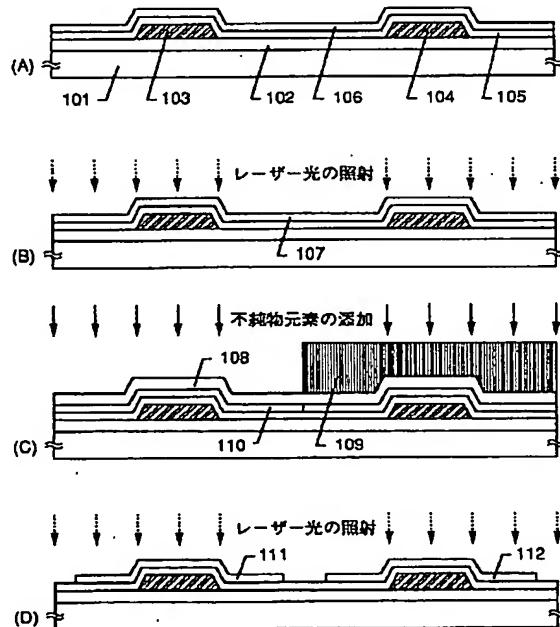
(72)発明者 山崎 舜平
神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内

(54)【発明の名称】 半導体装置およびその作製方法

(57)【要約】

【課題】 ポトムゲイト型TFTのしきい値電圧を効果的に制御するための手段を提供する。

【解決手段】 ガラス基板101上のゲート電極103、104、ゲート絶縁膜105上に非晶質珪素膜106を形成し、結晶化して結晶性珪素膜107を得る。その上にバッファ層108を形成して、しきい値電圧を制御するための不純物元素(13族または15族から選ばれた元素)を添加する。この添加方法としてはイオン注入法またはイオンドーピング法を用いる。



【特許請求の範囲】

【請求項1】絶縁表面を有する基板上に形成された複数のボトムゲイト型TFTを構成に含む半導体装置であって、前記複数のボトムゲイト型TFTのうち、少なくともNチャネル型で動作するTFTのチャネル形成領域中にはしきい値電圧を制御するための不純物元素が意図的に含まれてあり、

前記チャネル形成領域中における前記不純物元素の濃度は、前記チャネル形成領域と該チャネル形成領域に接したゲート絶縁膜との界面に近づくほど減少していくことを特徴とする半導体装置。

【請求項2】請求項1において、前記不純物元素とは13族または15族のいずれか一方から選ばれた元素であることを特徴とする半導体装置。

【請求項3】請求項2において、前記13族元素とはボロンまたはインジウムから選ばれた元素であり、前記15族元素とはリン、砒素またはアンチモンから選ばれた元素であることを特徴とする半導体装置。

【請求項4】請求項1において、前記不純物元素の濃度は、前記チャネル形成領域の前記基板から遠い方の表面近傍において $1 \times 10^{17} \sim 1 \times 10^{20} \text{ atoms/cm}^3$ であること特徴とする半導体装置。

【請求項5】請求項1において、前記チャネル形成領域と該チャネル形成領域に接したゲート絶縁膜との界面近傍に存在する前記不純物元素の濃度は、前記チャネル形成領域の前記基板から遠い方の表面近傍に存在する前記不純物元素の濃度の1/10以下であること特徴とする半導体装置。

【請求項6】請求項1において、前記チャネル形成領域中には当該チャネル形成領域の結晶化を助長する触媒元素が含まれており、

前記触媒元素の濃度は $1 \times 10^{14} \sim 5 \times 10^{17} \text{ atoms/cm}^3$ であることを特徴とする半導体装置。

【請求項7】絶縁表面を有する基板上に形成された複数のボトムゲイト型TFTを構成に含む半導体装置の作製方法であって、

非晶質珪素膜を形成する工程と、

前記非晶質珪素膜に対してレーザー光または当該レーザー光と同等の強度を持つ強光を照射して結晶性珪素膜を得る工程と、

前記結晶性珪素膜の全面または一部に対してしきい値電圧を制御するための不純物元素を添加する工程と、

前記不純物元素を活性化させる工程と、

を含むことを特徴とする半導体装置の作製方法。

【請求項8】絶縁表面を有する基板上に形成された複数のボトムゲイト型TFTを構成に含む半導体装置の作製方法であって、

非晶質珪素膜を形成する工程と、

前記非晶質珪素膜の全面または一部に対してもしきい値電

圧を制御するための不純物元素を添加する工程と、前記非晶質珪素膜に対してレーザー光または当該レーザー光と同等の強度を持つ強光を照射して結晶性珪素膜を得る工程と同時に前記不純物元素の活性化を行う工程と、

を含むことを特徴とする半導体装置の作製方法。

【請求項9】絶縁表面を有する基板上に形成された複数のボトムゲイト型TFTを構成に含む半導体装置の作製方法であって、

非晶質珪素膜を形成する工程と、

前記非晶質珪素膜の全面または一部に対して当該非晶質珪素膜の結晶化を助長する触媒元素を保持または添加する工程と、

第1の加熱処理により前記非晶質珪素膜の全面または一部を結晶性珪素膜に変成させる工程と、

前記結晶性珪素膜に対して選択的にしきい値電圧を制御するための不純物元素を添加する工程と、

前記結晶性珪素膜に対して15族から選ばれた元素を選択的に導入する工程と、

第2の加熱処理により前記15族から選ばれた元素を導入した領域に前記触媒元素をゲッタリングさせると同時に前記しきい値電圧を制御するための不純物元素を活性化させる工程と、

を含むことを特徴とする半導体装置の作製方法。

【請求項10】請求項9において、前記第2の加熱処理は前記基板の歪点を超えない温度で行われることを特徴とする半導体装置の作製方法。

【請求項11】請求項9において、前記第2の加熱処理は550~650°Cの温度範囲で行われることを特徴とする半導体装置の作製方法。

【請求項12】請求項9において、前記触媒元素として、Ni、Co、Fe、Pd、Pt、Cu、Au、Ge、Pbから選ばれた少なくとも一つの元素が用いられる特徴とする半導体装置の作製方法。

【請求項13】請求項9において、前記15族から選ばれた元素として、P、N、As、Sb、Biから選ばれた少なくとも一つの元素が用いられる特徴とする半導体装置の作製方法。

【請求項14】請求項7乃至請求項9において、前記不純物元素とは13族または15族のいずれか一方から選ばれた元素であることを特徴とする半導体装置の作製方法。

【請求項15】請求項14において、前記13族元素とはボロンまたはインジウムから選ばれた元素であり、前記15族元素とはリン、砒素またはアンチモンから選ばれた元素であることを特徴とする半導体装置の作製方法。

【請求項16】請求項7乃至請求項9において、前記不純物元素はイオン注入法により添加されることを特徴とする半導体装置の作製方法。

【請求項17】請求項7乃至請求項9において、前記不純物元素は $1\times10^{12}\sim1\times10^{17}$ atoms/cm²のドーズ量で添加されることを特徴とする半導体装置の作製方法。

【請求項18】請求項7乃至請求項9において、前記不純物元素の添加工程はバッファ層を介したスルードーピングによって行われることを特徴とする半導体装置の作製方法。

【発明の詳細な説明】

【0001】

【発明が属する技術分野】本願発明は半導体薄膜を利用して作製された半導体装置およびその作製方法の構成に関する。具体的には、逆スタガ型に代表されるボトムゲイト型の薄膜トランジスタ(TFT)の構成に関する。

【0002】なお、本明細書中において半導体装置とは半導体特性を利用して機能しうる装置全てを含む。即ち、本明細書に記載されたTFT、電気光学装置、半導体回路、電子機器等は全て半導体装置の範疇に含むものとする。

【0003】

【従来の技術】近年、アクティブマトリクス型液晶表示装置の需要が急速に高まり、ガラスまたは石英基板上に形成した半導体薄膜で薄膜トランジスタ(以下、TFTと略記する)を形成する技術が急がれている。TFTは画像表示のためのスイッチング素子として利用される。

【0004】同一基板上に百数十万個もの単位で形成されるTFTは、構成する電気回路の機能に応じて所定の電気特性を示すものでなければならない。その様なTFTの電気特性として、しきい値電圧(スレッショルドボルテージ:V_{th})というパラメータがある。

【0005】しきい値電圧とは、そのTFTのチャネル部分に反転層が形成される電圧として定義される。即ち、オフ状態にあるTFTがオン状態に切り換わる電圧として考えれば良い。従って、しきい値電圧が高いほどそのTFTの動作電圧は高いことができる。

【0006】このしきい値電圧は様々な外的要因によって変化してしまうという問題がある。例えば、活性層中の汚染不純物、ゲート絶縁膜の固定電荷や可動電荷、活性層/ゲート絶縁膜界面の界面準位、ゲート電極と活性層との仕事関数差等が挙げられる。この場合、活性層中の汚染不純物やゲート絶縁膜中の可動電荷等はプロセスの清浄化によってなくすことができるが、固定電荷、界面準位および仕事関数差等は素子の材質で決定されてしまうため容易に変更することはできない。

【0007】この様な外的要因の結果、しきい値電圧がプラス側にシフトしたりマイナス側にシフトしたりすることがある。例えば、NTFTではマイナス側にシフトしてしまうとオフ状態(ゲート電圧を印加しない状態)であるにも拘わらず、電流が流れてしまう(ノーマリオノン状態と呼ばれる)といった問題が生じる。

【0008】この様な問題を解決するための手段として

チャネルドープと呼ばれる技術が知られている。チャネルドープとは活性層中に所定濃度の不純物を添加して強制的にしきい値電圧をシフトさせて所望のしきい値電圧に調節する技術である。

【0009】チャネルドープに用いる不純物としては13族元素であるB(ボロン)、In(インジウム)や15族元素であるP(リン)、As(砒素)、Sb(アンチモン)などが挙げられる。

【0010】

【発明が解決しようとする課題】本願発明ではボトムゲイト型TFT(代表的には逆スタガ型TFT)に対してチャネルドープを行うための技術を提供することを課題とする。また、本願発明を利用した複数のボトムゲイト型TFTを構成に含む半導体装置及びその作製方法を提供することを課題とする。

【0011】

【課題を解決するための手段】本明細書で開示する発明の構成は、絶縁表面を有する基板上に形成された複数のボトムゲイト型TFTを構成に含む半導体装置であって、前記複数のボトムゲイト型TFTのうち、少なくともNチャネル型で動作するTFTのチャネル形成領域中にはしきい値電圧を制御するための不純物元素が意図的に含ませてあり、前記チャネル形成領域中における前記不純物元素の濃度は、前記チャネル形成領域と当該チャネル形成領域に接したゲート絶縁膜との界面に近づくほど減少していくことを特徴とする。

【0012】また、他の発明の構成は、絶縁表面を有する基板上に形成された複数のボトムゲイト型TFTを構成に含む半導体装置の作製方法であって、非晶質珪素膜を形成する工程と、前記非晶質珪素膜に対してレーザー光または当該レーザー光と同等の強度を持つ強光を照射して結晶性珪素膜を得る工程と、前記結晶性珪素膜の全面または一部に対しきい値電圧を制御するための不純物元素を添加する工程と、前記不純物元素を活性化させる工程と、を含むことを特徴とする。

【0013】また、他の発明の構成は、絶縁表面を有する基板上に形成された複数のボトムゲイト型TFTを構成に含む半導体装置の作製方法であって、非晶質珪素膜を形成する工程と、前記非晶質珪素膜の全面または一部に対しきい値電圧を制御するための不純物元素を添加する工程と、前記非晶質珪素膜に対してレーザー光または当該レーザー光と同等の強度を持つ強光を照射して結晶性珪素膜を得る工程と同時に前記不純物元素の活性化を行う工程と、を含むことを特徴とする。

【0014】また、他の発明の構成は、絶縁表面を有する基板上に形成された複数のボトムゲイト型TFTを構成に含む半導体装置の作製方法であって、非晶質珪素膜を形成する工程と、前記非晶質珪素膜の全面または一部に対し当該非晶質珪素膜の結晶化を助長する触媒元素を保持または添加する工程と、第1の加熱処理により前

記非晶質珪素膜の全面または一部を結晶性珪素膜に変成させる工程と、前記結晶性珪素膜に対して選択的にしきい値電圧を制御するための不純物元素を添加する工程と、前記結晶性珪素膜に対して15族から選ばれた元素を選択的に導入する工程と、第2の加熱処理により前記15族から選ばれた元素を導入した領域に前記触媒元素をゲッタリングさせると同時に前記しきい値電圧を制御するための不純物元素を活性化させる工程と、を含むことを特徴とする。

【0015】上記構成からなる本願発明について、以下に記載する実施例でもって詳細な説明を行うこととする。

【0016】

【実施例】

【実施例1】本願発明を利用してNTFT（Nチャネル型TFT）とPTFT（Pチャネル型TFT）とを相補的に組み合わせたCMOS回路を作製する例を示す。なお、本実施例ではNTFTのみに13族元素であるボロンを添加する例を示す。

【0017】まず、ガラス基板101上に酸化珪素膜となる下地膜102を設け、その上にゲート電極103、104を形成する。本実施例ではゲート電極103、104として200～400nm厚のクロム膜を使用するが、アルミニウム合金、タンタル、タングステン、モリブデン、導電性を付与した珪素膜等を用いても良い。

【0018】次に、ゲート電極103、104上にゲート絶縁膜105を100～200nmの厚さに形成する。ゲート絶縁膜105としては酸化珪素膜、窒化珪素膜又は酸化珪素膜と窒化珪素膜との積層膜を用いる。また、ゲート電極を陽極酸化して得られる陽極酸化膜をゲート絶縁膜として利用することもできる。

【0019】次に、非晶質珪素膜106を10～75nm（好ましくは15～45nm）の厚さに形成する。非晶質珪素膜以外にも珪素を主成分とする半導体薄膜（例えば $\text{Si}_{1-x}\text{Ge}_x$ ($0 < x < 1$)で示されるシリコン・ゲルマニウム化合物）を用いることができる。

【0020】こうして図1(A)の状態が得られたら、レーザー光またはレーザー光と同等の強度を持つ強光の照射を行い、非晶質珪素膜106を結晶化する。レーザー光としてはエキシマレーザー光が好ましい。エキシマレーザーとしては、KrF、ArF、XeClを光源としたパルスレーザーを利用すれば良い。

【0021】また、レーザー光と同等の強度を持つ強光としては、ハロゲンランプ又はメタルハライドランプからの強光、赤外光又は紫外光ランプからの強光を利用することができる。

【0022】本実施例では、線状に加工されたエキシマレーザー光を基板の一端から他端へ走査し、非晶質珪素膜106の全面を結晶化する。この時、レーザー光のスウェーブ速度は1.2mm/s、処理温度は室温、パルス周波

数は30Hz、レーザーエネルギーは300～315mJ/cm²とする。（図1(B)）

【0023】こうして図1(B)に示す様に結晶性珪素膜107が得られる。次に、その上に酸化珪素膜となるバッファ層108を50～200nm（好ましくは100～150nm）の厚さに形成する。

【0024】そして、PTFTとなる領域をレジストマスク109で隠し、イオン注入（イオンプランテーション）法（質量分離あり）又はイオンドーピング法（質量分離なし）によりボロンを添加する。このチャネルドープ工程によりボロン含有領域110が形成される。ボロンの代わりにインジウム等の13族元素を添加しても良い。（図1(C)）

【0025】この時、加速電圧は5～80keV（代表的には10～30keV）から選び、ドーズ量は $1 \times 10^{12} \sim 1 \times 10^{17}$ atoms/cm²（好ましくは $1 \times 10^{13} \sim 1 \times 10^{16}$ atoms/cm²）とすれば良い。本実施例では、加速電圧を30keVとし、ドーズ量を 5×10^{13} atoms/cm²とする。

【0026】この時、結晶性珪素膜107は非常に薄いので直接イオン注入を行うと大きなダメージを受けて結晶性が崩れてしまう。また、非常に薄い膜に対してイオン注入を行う場合、不純物の濃度制御が非常に困難である。

【0027】しかしながら、本実施例では前述のバッファ層108を介したスルードーピングになるので、結晶性珪素膜107がイオン注入時に受ける損傷を抑制することができる。また、結晶性珪素膜107の上に厚めのバッファ層108が存在するので、結晶性珪素膜107中に添加する不純物濃度の制御が容易となる。

【0028】また、イオン注入により形成される結晶性珪素膜中におけるボロンの濃度プロファイルは、チャネルが形成される部分（チャネル形成領域とゲート絶縁膜とが接する界面近傍）でボロン濃度が低くなる様に調節することが望ましい。この効果については後述する。

【0029】以上の様にして不純物元素の添加工程が終了したら、バッファ層108、レジストマスク109を除去した後、パターニングにより活性層111、112を形成する。その後、エキシマレーザー光を照射し、イオン注入工程で受けたダメージの回復と添加したボロンの活性化を行う。（図1(D)）

【0030】次に、ゲート電極103、104をマスクとした裏面露光を行うことでレジストマスク113、114を形成する。そして、N型を付与する不純物元素（代表的にはリン、砒素）を添加して $1 \times 10^{17} \sim 5 \times 10^{18}$ atoms/cm³程度の低濃度不純物領域115～118を形成する。（図2(A)）

【0031】次に、レジストマスク113、114を除去した後、再びパターニングしてレジストマスク119、120を形成する。この時、PTFTは完全に覆ってしまう。そして、再びN型を付与する不純物元素を図

2 (A) の時よりも高濃度 ($1 \times 10^{19} \sim 1 \times 10^{20}$ atoms/cm³ 程度) に添加して N TFT のソース領域 121、ドレイン領域 122 を形成する。

【0032】また、この時、123、124 で示される領域は前述の低濃度不純物領域がそのまま残り、LDD 領域 (Light Doped Drain) として機能する。さらに 125 で示される領域はチャネル形成領域となる。(図2 (B))

【0033】次に、レジストマスク 119、120 を除去した後、今度は TFT を完全に覆う様にしてレジストマスク 126、127 を形成する。

【0034】そして、P型を付与する不純物元素（代表的にはボロン、インジウム）を $1 \times 10^{19} \sim 1 \times 10^{20}$ atoms/cm³ 程度の濃度となる様に添加し、PTFT のソース領域 128、ドレイン領域 129 を形成する。また、130 で示される領域がチャネル形成領域となる。(図2 (C))

【0035】次に、レジストマスク 126、127 を除去した後、エキシマレーザー光を照射することで添加したイオン注入時の損傷の回復と添加した不純物の活性化を行う。(図2 (D))

【0036】レーザーアニールが終了したら、層間絶縁膜 131 を 300~500 nm の厚さに形成する。層間絶縁膜 131 は酸化珪素膜、窒化珪素膜、有機性樹脂膜又はそれらの積層膜で構成される。

【0037】そして、その上に金属薄膜でなるソース電極 132、133 及びドレイン電極 134 を形成する。金属薄膜としてはアルミニウム、タンタル、チタン、タンクステン、モリブデン又はそれらの積層膜を用いれば良い。膜厚は 100~300 nm とすれば良い。(図2 (E))

【0038】最後に、全体に対して水素雰囲気中、350 °C 2 時間程度の加熱処理を行い、膜中（特にチャネル形成領域中）の不対結合手を水素終端する。以上の工程によって図2 (E) に示す様な構造のCMOS回路が完成する。

【0039】なお、本実施例の作製工程に従った場合、N TFT は LDD 構造となるが P TFT は LDD 構造とならない。しかしながら、本実施例は本願発明の一実施例であり、本願発明を適用しうる構造は本実施例に限定されない。

【0040】即ち、公知の手段で構成される逆スタガ型 TFT ならば全てに適用することが可能である。また、本実施例では CMOS 回路を例にとって説明しているが、N TFT 又は P TFT の単体素子のみで構成される様な回路に適用することも可能であることは言うまでもない。

【0041】ここで、チャネルドープ工程においてチャネルが形成される部分のボロン濃度を低くすることの意義を説明する。

【0042】チャネルにしきい値電圧を制御するための不純物元素が多量に存在すると、多数キャリア（電子または正孔）が不純物と衝突して散乱する。このキャリアの不純物散乱は TFT 特性の動作速度を支配する電界効果移動度（モビリティ）を低下させる要因となり好ましくない。

【0043】本願発明では、丁度チャネルが形成される部分の裏側からボロン等の不純物を添加することになるので、濃度プロファイルの勾配を利用してチャネルが形成される部分の不純物濃度を低くすることが可能である。換言すれば、チャネル形成領域中におけるボロン等の不純物濃度は、チャネル形成領域とゲート絶縁膜との界面に近づくほど減少していく様な濃度勾配を有している。

【0044】そのため、チャネル形成領域において基板から遠い方の表面近傍では、上記不純物元素の濃度が $1 \times 10^{17} \sim 1 \times 10^{20}$ atoms/cm³ で存在するが、ゲート絶縁膜との界面に向かうに従って濃度は減少し、界面近傍では約 1/10 以下（代表的には $1 \times 10^{16} \sim 5 \times 10^{18}$ atoms/cm³ ）となっている。

【0045】この様な濃度勾配の調節はイオン注入条件で制御されるが、イオン注入時に設けるバッファ層がその様な精密な濃度制御を容易なものとしている。

【0046】この様にして不純物散乱を極力避けた状態でしきい値電圧の制御を行うことで低い動作電圧で駆動可能であり、且つ、高いモビリティを有する TFT を作製することが可能となる。

【0047】〔実施例 2〕本実施例では実施例 1 において、しきい値電圧制御のための不純物元素の添加工程と結晶化工程との順序を入れ換えた場合の例を示す。

【0048】図3 (A) において、301 はガラス基板、302 は下地膜、303、304 はタンタル膜でなるゲート電極、305 は酸化珪素膜上に薄い窒化珪素膜を設けた積層膜でなるゲート絶縁膜、306 は非晶質珪素膜である。(図3 (A))

【0049】次に、バッファ層 307、レジストマスク 308 を設け、イオン注入法によりボロンを添加する。注入条件は実施例 1 に従えば良い。こうしてボロン含有領域 309 が形成され、図2 (B) の状態が得られる。

【0050】次に、バッファ層 307、レジストマスク 308 を除去した後、図3 (C) に示す様にエキシマレーザー光を照射する。エキシマレーザー光の照射条件は実施例 1 に従えば良い。

【0051】この工程により非晶質珪素膜 306 は結晶化され、結晶性珪素膜 309 が得られる。また、同時に前述のイオン注入で添加されたボロンが活性化される。

【0052】そして、結晶性珪素膜 309 は島状にパターニングして活性層 310、311 が得られる。後の工程を実施例 1 に従えば、図2 (E) に示した様な構造の CMOS 回路を作製することができる。

【0053】〔実施例3〕本実施例では非晶質珪素膜の結晶化に際して、結晶化を助長する触媒元素（代表的にはニッケル）を利用する場合の例を示す。

【0054】まず、図4(A)において、401はガラス基板、402は下地膜、403、404はクロム膜であるゲート電極、405はゲート絶縁膜、406は非晶質珪素膜である。これらの詳細は実施例1で既に説明したので省略する。

【0055】本実施例では、非晶質珪素膜406の上にニッケルを含有した膜（以下、ニッケル含有層と呼ぶ）407を形成する。ニッケル含有層407の形成方法は本発明者らによる特開平7-130652号公報（特に実施例1）に記載された技術を利用すれば良い。（図4(A)）

【0056】なお、触媒元素としてはニッケル以外にも、コバルト(Co)、鉄(Fe)、パラジウム(Pd)、白金(Pl)、銅(Cu)、金(Au)、ゲルマニウム(Ge)、鉛(Pb)等を用いることができる。

【0057】また、上記公報では触媒元素の添加工程をスピンドルコート法で行う例が示してあるが、イオン注入法またはプラズマドーピング法を用いることもできる。この場合、添加領域の占有面積の低減、横成長領域の成長距離の制御が容易となるので、微細化した回路を構成する際に有効な技術となる。

【0058】次に、触媒元素の添加工程が終了したら、500℃1時間程度の水素出しの後、不活性雰囲気、水素雰囲気または酸素雰囲気中において500～700℃（代表的には550～650℃）の温度で4～24時間の加熱処理（ファーネスアーニール）を加えて非晶質珪素膜406の結晶化を行う。本実施例では窒素雰囲気で550℃4時間の加熱処理を行い、結晶性珪素膜408を得る。（図4(B)）

【0059】次に、バッファ層409、レジストマスク410を設け、NTFTとなる領域のみにボロンを添加する。添加方法及び条件は実施例1に示した条件に従えば良い。この工程によりボロン含有領域411が形成される。（図4(C)）

【0060】次に、バッファ層409、レジストマスク410を除去し、パターニングにより活性層412、413を形成する。その後、エキシマレーザー光を照射してボロン添加時のダメージの回復、結晶性の改善（僅かに残存する非晶質成分の結晶化等）、ボロンの活性化を行う。（図4(D)）

【0061】なお、本実施例では結晶性珪素膜408を島状に加工した後でレーザー光の照射を行っているが、レーザー光の照射を行った後に島状に加工して活性層を形成するのであっても良い。

【0062】そして、後の工程は実施例1に従えば、図2(E)に示した様な構造のCMOS回路を作製することができる。

【0063】〔実施例4〕本実施例では、実施例3と異なる手段で非晶質珪素膜の結晶化を行う場合の例について説明する。具体的には特開平8-78329号公報に記載された技術を利用して結晶化を行う。

【0064】まず、図5(A)において、501はガラス基板、502は下地膜、503、504はゲート電極、505はゲート絶縁膜、506は非晶質珪素膜である。これらの詳細は実施例1に従えば良い。

【0065】本実施例では、非晶質珪素膜506の上に複数の開口を有するマスク絶縁膜507を設け、その上からニッケル含有層508を形成する。即ち、ニッケル含有層508はマスク絶縁膜507に設けられた開口部においてのみ、非晶質珪素膜506と接する様な構成となる。なお、マスク絶縁膜507としては厚さ50～200nmの酸化珪素膜を用いると良い。（図5(A)）

【0066】次に、触媒元素の添加工程が終了したら、450℃1時間程度の水素出しの後、不活性雰囲気、水素雰囲気または酸素雰囲気中において500～700℃（代表的には550～650℃）の温度で4～24時間の加熱処理を加えて非晶質珪素膜506の結晶化を行う。本実施例では窒素雰囲気で570℃14時間の加熱処理を行う。

【0067】この時、非晶質珪素膜506の結晶化はニッケルを添加した領域509、510で発生した核から優先的に進行し、基板501の基板面に対してほぼ平行に成長した結晶領域511、512が形成される。（図5(B)）

【0068】本発明者らはこの結晶領域511、512を横成長領域と呼んでいる。横成長領域511、512は比較的揃った状態で個々の棒状または偏平棒状結晶が集合しているため、全体的な結晶性に優れるという利点がある。

【0069】こうして結晶性珪素膜（横成長領域）511、512が得られたら、レジストマスク513を形成してボロンの添加工程を行い、ボロン含有領域514を形成する。（図5(C)）

【0070】本実施例では触媒元素の添加工程に利用したマスク絶縁膜507をボロンの添加工程におけるバッファ層として活用する。これにより工程の簡略化を図ることができる。

【0071】こうして図5(C)の状態が得られたら、横成長領域511、512のみからなる活性層515、516を形成する。活性層515、516を形成する際、ニッケル添加領域509、510は完全に除去してしまうことが好ましい。

【0072】次に、エキシマレーザー光を照射することにより活性層515、516が受けたボロン添加時の損傷の回復、結晶性の改善、ボロンの活性化を行う。後の工程を実施例1に従えば、図2(E)に示した構造のCMOS回路を作製することができる。

【0073】〔実施例5〕本実施例では、実施例3にお

いて、結晶化に利用した触媒元素をゲッタリングして除去するための工程を加えた場合の例を示す。具体的には触媒元素（ニッケル）のゲッタリングに15族から選ばれた元素によるゲッタリング効果を利用する。なお、15族から選ばれた元素としては、P（リン）、N（窒素）、As（砒素）、Sb（アンチモン）、Bi（ビスマス）を用いることができるが、本実施例では代表的なリンを用いる場合を示す。

【0074】まず、実施例3の工程に従って図4（C）の状態を得る。そして、バッファ層409、レジストマスク410を除去した後、新たに複数の開口部を有するレジストマスク601を形成する。この開口部は、後に活性層として利用しない（除去してしまう）領域が露出する様な位置に形成する。

【0075】次に、レジストマスク601をマスクとしてリンの添加工程を行う。この添加工程はイオン注入法又はイオンドーピング法を用いる。添加条件はRF電力を20W、加速電圧を5~30keV（代表的には10keV）に設定し、リンのドーズ量は $1\times10^{13}\text{atoms/cm}^2$ 以上（好ましくは 5×10^{13} ~ $5\times10^{15}\text{atoms/cm}^2$ ）とする。

【0076】添加するリン濃度の目安としては、結晶性珪素膜408中に含まれるニッケル濃度よりも1桁以上高い濃度を添加すると良い。実施例3の工程では結晶性珪素膜408中に約 $1\times10^{19}\text{atoms/cm}^3$ のニッケルが含まれるので、その場合には $1\times10^{20}\text{atoms/cm}^3$ 程度のリンを添加することが好ましい。

【0077】こうして、結晶性珪素膜408の内部にはリンが添加された領域（ゲッタリング領域）602~604が形成される。（図6（A））

【0078】次に、レジストマスク601を除去した後、ニッケルをゲッタリングするための加熱処理を行う。この加熱処理により被ゲッタリング領域605、606に含まれるニッケルは矢印で示される様にゲッタリング領域602~604に捕獲されていく。（図6（B））

【0079】この加熱処理は不活性雰囲気、水素雰囲気、酸化性雰囲気またはハロゲン元素を含む酸化性雰囲気におけるファーネスアニールで良い。また、処理温度は400~700°C（好ましくは550~650°C）とし、処理時間は2時間以上（好ましくは4~12時間）とすれば良い。処理温度は高い方がより短時間で済むし、ゲッタリング効果も高いが、ガラス基板の耐熱性を考慮すると650°C以下にすることが望ましい。

【0080】また、後にNTFTとなる被ゲッタリング領域605にはしきい値電圧を制御するためにボロンが添加されているが、上記ファーネスアニールによってボロン添加時の損傷の回復とボロンの活性化とが同時に果たされる。なお、上記温度範囲ならばボロンの拡散は非常に小さく、問題とはならない。

【0081】こうしてゲッタリング領域602~604

にニッケルをゲッタリングしたら、結晶性珪素膜をバターニングして、被ゲッタリング領域605、606のみからなる活性層607、608を形成する。この際、ゲッタリング領域602~604及びその近傍は高濃度にニッケルを含んでいるため、活性層には利用しないで完全に除去することが望ましい。

【0082】ゲッタリング処理を行って得られた活性層607、608中に存在するニッケル濃度は $5\times10^{17}\text{atoms/cm}^3$ 以下にまで低減されていることがSIMS（質量二次イオン分析）によって確かめられている。（本明細書中における濃度はSIMS測定値の最小値で定義されている。）

【0083】現状では検出下限の問題で $5\times10^{17}\text{atoms/cm}^3$ 以下としか判明していないが、実際には少なくとも $1\times10^{14}\text{atoms/cm}^3$ 程度までには到達していると考えている。なお、実験的にはニッケル濃度が $5\times10^{17}\text{atoms/cm}^3$ 以下であればTFT特性に影響を与えないことが判っている。

【0084】以上の様にして図6（C）に示す状態が得られる。後は、実施例3と同様に、実施例1に示した工程に従えば、図2（E）の様な構造のCMOS回路を作製することが可能である。

【0085】なお、本実施例は実施例3の場合だけでなく、実施例4に示した結晶化手段を用いた場合にも適用することは容易である。その場合、ニッケル添加に利用したマスク絶縁膜507を、ボロン添加時にマスクとしてだけでなく、本実施例に示したリン添加時のマスクとして活用することも可能である。その場合、大幅な工程簡略化が実現される。

【0086】また、本実施例ではリンの添加手段としてイオン注入法またはイオンドーピング法を用いる例を示しているが、リンを含む雰囲気中のアニール（気相法）、リンを含む絶縁膜中のゲッタリング（固相法）を利用しても良い。

【0087】【実施例6】本実施例では、実施例1とは異なる構造の逆スタガ型TFTを作製する場合の例を示す。説明には図7を用いる。

【0088】まず、実施例1の工程に従って図1（D）の状態を得る。そして、活性層111、112の上にチャネルストッパー701、702を形成する。チャネルストッパー701、702としては、30~150nmの厚さの窒化珪素膜又は酸化珪素膜を用いることができる。（図7（A））

【0089】次に、N型導電性を有する結晶性珪素膜（以下、N型導電膜と略記する）703を形成し、その上に金属薄膜704を形成する。N型導電膜703にはリンを添加した多結晶状態、微結晶状態の珪素膜が用いられる。また、金属薄膜704は実施例1においてソース／ドレイン電極を構成した金属薄膜と同一のもので良い。（図7（B））

【0090】なお、N型導電膜703と金属薄膜704とを連続成膜すると非常に良好なオーミックコンタクトを実現できるので好ましい。

【0091】次に、まず、金属薄膜704をエッティングして必要な箇所の分断を行う。そして、次に金属薄膜704をマスクとして自己整合的にN型導電膜703をエッティングする。この時、チャネルストッパー701、702がエッティングストッパーとして機能する。

【0092】こうして、NTFTのソース電極705、706、PTFTのソース電極707、708及びNTFTとPTFTの共通ドレイン電極709、710が形成される。これらの電極上に塗化珪素膜や有機性樹脂膜でなるバッシベーション膜を設けた構成としても良い。以上の様にして図7(C)に示す構造のCMOS回路が実現される。

【0093】なお、チャネルストッパーを利用したタイプの逆スタガ型TFTは本実施例に限定されることはない。本願発明は他の構造のタイプに対しても容易に適用することが可能である。

【0094】〔実施例7〕本実施例では、実施例1、6とは異なる構造の逆スタガ型TFTを作製する場合の例を示す。説明には図8を用いる。

【0095】まず、実施例1の工程に従って図1(D)の状態を得る。そして、活性層111、112の上にN型導電膜801を形成し、その上に金属薄膜704を形成する。これら薄膜については実施例6で説明しているのでここでの説明は省略する。(図8(A))

【0096】次に、金属薄膜802をエッティングして必要な箇所の分断を行い、統いて自己整合的にN型導電膜801をエッティングする。この時、N型導電膜801と下の活性層111、112とは選択比が取れないため、活性層111、112の内部にまでエッティングが進行する。

【0097】従って、この部分だけは活性層の膜厚が薄くなっている、この薄膜化された部分が実効的なチャネル形成領域として機能する。

【0098】こうして、NTFTのソース電極803、804、PTFTのソース電極805、806及びNTFTとPTFTの共通ドレイン電極807、808が形成される。最後にバッシベーション膜として塗化珪素膜809を形成して図7(C)に示す構造のCMOS回路が実現される。

【0099】なお、例えばアクティブマトリクス型液晶表示装置の様に、同一基板上に周辺駆動回路と画素マトリクス回路とを作製する場合、塗化珪素膜809の代わりに有機性樹脂膜が設けられる場合もある。その様な場合には有機性樹脂膜がバッシベーション膜として機能する。この事は実施例6でも同様に言える。

【0100】また、本実施例の構造とする場合、図8(A)に示した段階で後のチャネル形成領域にN型導電

膜801が接してしまう。この時、活性層111に添加してあるボロンとN型導電膜801中のリンとが相互拡散して相殺しあい、チャネル形成領域が実質的に真性になったり、N型に反転したりして所望のしきい値電圧が得られないといった問題が起こりうる。

【0101】その様な問題が起こる場合、チャネルドープ工程(しきい値電圧を制御するためにボロンを添加する工程)の際に前述のN型導電膜801に含まれるリン濃度よりも高い濃度のボロンを添加しておけば良い。こうしておけば、互いに相殺したとしてもボロンの絶対量の方が多いため、P型を維持することができる。勿論、最終的に残存するボロン濃度を予め見越した上で所望のしきい値電圧が得られる様にチャネルドープを行なう必要がある。

【0102】なお、本願発明は本実施例に示した様な構造以外の逆スタガ型TFTに対しても容易に適用することが可能である。

【0103】〔実施例8〕実施例1～7ではチャネルドープ工程でバッファ層を利用する例を示しているが、ボロン添加条件の最適化を行えばバッファ層を用いない構成も可能である。その場合、珪素膜の受ける添加時のダメージは大きくなるが、後のファーネスアニールまたはレーザーアニールで回復できる程度ならば問題にはならない。

【0104】〔実施例9〕実施例1～7に示した構成ではCMOS回路を作製する上でNTFTのみにボロンを添加する例を示しているが、NTFTとPTFTの両方に添加しても良いことは言うまでもない。

【0105】実施例1～7でしきい値電圧を制御するために13族から選ばれた元素であるボロン(インジウムでも良い)を添加するのは、マイナス側にシフトしたしきい値電圧をプラス側に強制的にシフトさせ、所望のしきい値電圧を示す様に制御するためである。従って、PTFTもプラス側にシフトさせる必要があれば当然PTFTにもボロンを添加することは有効である。

【0106】また、同様にCMOS回路を作製する上でPTFTのみに本願発明を適用することも可能である。

【0107】〔実施例10〕実施例1～7ではしきい値電圧をプラス側にシフトさせるために13族元素を利用しているが、マイナス側にシフトさせる必要がある場合には、チャネルドープ用不純物元素として15族から選ばれた元素(リン、砒素またはアンチモン)を用いれば良い。

【0108】この場合、例えばリンをイオン注入した時におけるリンの濃度プロファイルはボロンの濃度プロファイルとは異なるので、ドーズ量その他の諸条件は実験的に最適値を求める必要がある。

【0109】ただし、実施例5のリンによるゲッタリングと組み合わせる場合、本実施例の構成ではチャネル形成領域にもリンが入ってしまうのでゲッタリング効果は

あまり期待することはできない。

【0110】〔実施例11〕実施例1～7に示した構成では、チャネルドープ工程後の不純物の活性化をエキシマレーザー光の照射による例を示している。本願発明では、レーザーアニールの代わりにRTA（ラピッドサーマルアニール）に代表されるランプアニールを利用することができる。

【0111】RTA処理を行う場合、500～1150°C（好ましくは800～1000°C）の温度で数秒の処理を行い、ガラス基板の変形を招くことなく薄膜のアニールを行うことができる。また、そのためスループットが格段に向かう。

【0112】勿論、500～600°C程度のファーネスアニールで不純物の活性化を行うのであっても構わないが、生産性を高めるにはRTA処理が有効である。

【0113】〔実施例12〕本実施例では実施例1～11に示した構成の半導体装置を用いてガラス基板上に回路を形成し、電気光学装置を作製する場合の例を示す。代表的には液晶表示装置、EL（エレクトロルミネッセンス）表示装置、EC（エレクトロクロミクス）表示装置、イメージセンサ、CCD等を作製することが可能である。

【0114】なお、本明細書において電気光学装置とは、電気信号を光学的信号に変換する装置またはその逆を行なう装置と定義する。

【0115】図9（A）に示すのは液晶表示装置（液晶モジュール）である。11はアクティブマトリクス基板であり、ガラス基板上に本願発明の TFT で構成された画素マトリクス回路12、ソース側駆動回路13、ゲイト側駆動回路14、ロジック回路15で構成される。

【0116】ソース側駆動回路13は主にシフトレジスタ回路、サンプリング回路、バッファ回路、レベルシフタ回路等から構成される。また、ゲイト側駆動回路14は主にシフトレジスタ回路、バッファ回路等から構成される。ロジック回路15は各種信号処理を行う回路全てを含み、クロック発生回路、メモリ回路、演算回路、信号変換回路等から構成される。

【0117】以上の様な構成でなるアクティブマトリクス基板11と、対向基板16との間には液晶層（図示せず）がシール材によって封入されている。また、アクティブマトリクス基板11と対向基板16とは一辺を除いて全ての端面が揃う様に貼り合わされており、その一辺ではアクティブマトリクス基板11の一部が露出する様に対向基板16が除去されている。

【0118】この領域はソース/ゲイト側駆動回路13、14やロジック回路15に外部からの信号を伝達するための端子が剥き出しになっており、FPC（フレキシブルプリントサーキット）17を接続するための領域となる。

【0119】また、図9（B）に示すのはソース側駆動

回路13の回路構成を簡略化したものである。18はシフトレジスタ回路であり、複数のインバータ回路（CMOS回路）19でフリップフロップ回路が組まれている。

【0120】また、バッファ回路20を挟んでサンプリング回路21が複数のアナログスイッチ22によって組まれている。

【0121】本願発明はチャネルドープの効果によってしきい値電圧が調節されているので低い動作電圧に対しても容易に対応可能である。さらに、チャネル部において不純物によるキャリアの散乱が非常に小さいため、しきい値電圧を制御しているにも拘わらず高いモビリティを実現できる。

【0122】従って、低い動作電圧と高い動作速度とを要求するロジック回路15、シフトレジスタ回路18等を構成するには本願発明の TFT は有効である。

【0123】また、しきい値電圧の制御によってCMOS回路の特性バランスが是正されているので、アナログスイッチ22の様にN TFT と P TFT の特性バランスを揃えることが重要な回路を構成するにも好適である。

【0124】〔実施例13〕実施例12に示した電気光学装置は、様々な電子機器のディスプレイとして利用される。なお、本実施例に挙げる電子機器とは、液晶モジュールに代表される電気光学装置を搭載した製品と定義する。

【0125】その様な電子機器としては、ビデオカメラ、スチルカメラ、プロジェクター、プロジェクションTV、ヘッドマウントディスプレイ、カーナビゲーション、パーソナルコンピュータ（ノート型を含む）、携帯情報端末（モバイルコンピュータ、携帯電話等）などが挙げられる。それらの一例を図10に示す。

【0126】図10（A）は携帯電話であり、本体2001、音声出力部2002、音声入力部2003、表示装置2004、操作スイッチ2005、アンテナ2006で構成される。本願発明は音声出力部2002、音声入力部2003、表示装置2004等に適用することができる。

【0127】図10（B）はビデオカメラであり、本体2101、表示装置2102、音声入力部2103、操作スイッチ2104、バッテリー2105、受像部2106で構成される。本願発明は表示装置2102、音声入力部2103、受像部2106に適用することができる。

【0128】図10（C）はモバイルコンピュータ（モービルコンピュータ）であり、本体2201、カメラ部2202、受像部2203、操作スイッチ2204、表示装置2205で構成される。本願発明は受像部2203、表示装置2205等に適用できる。

【0129】図10（D）はヘッドマウントディスプレ

イであり、本体2301、表示装置2302、バンド部2303で構成される。本発明は表示装置2302に適用することができる。

【0130】図10(E)はリア型プロジェクターであり、本体2401、光源2402、表示装置2403、偏光ビームスプリッタ2404、リフレクター2405、2406、スクリーン2407で構成される。本発明は表示装置2403に適用することができる。

【0131】図10(F)はフロント型プロジェクターであり、本体2501、光源2502、表示装置2503、光学系2504、スクリーン2505で構成される。本発明は表示装置2503に適用することができる。

【0132】以上の様に、本願発明の適用範囲は極めて広く、あらゆる分野の電子機器に適用することが可能である。また、他にも電光掲示盤、宣伝公告用ディスプレイなどにも活用することができる。

【0133】

【発明の効果】本願発明を利用することによりボトムゲイト型TFTのしきい値電圧を効果的に制御することができる。また、その様な半導体装置を利用することで様々な電気光学装置及び電子機器を実現することができる。

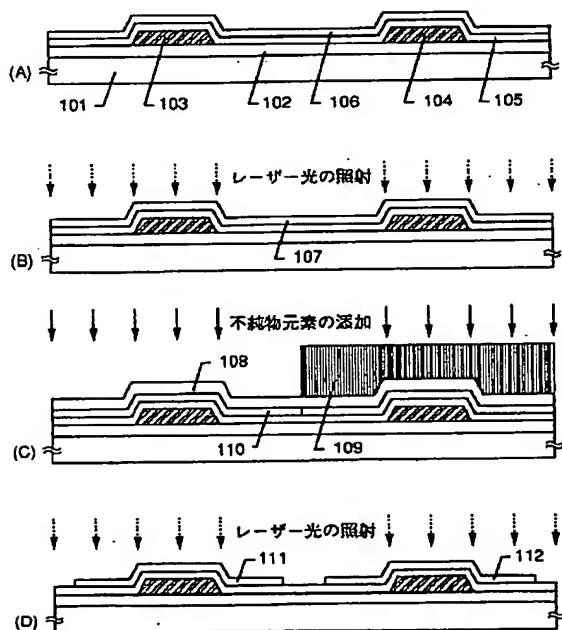
【図面の簡単な説明】

- 【図1】 薄膜トランジスタの作製工程を示す図。
- 【図2】 薄膜トランジスタの作製工程を示す図。
- 【図3】 薄膜トランジスタの作製工程を示す図。
- 【図4】 薄膜トランジスタの作製工程を示す図。
- 【図5】 薄膜トランジスタの作製工程を示す図。
- 【図6】 薄膜トランジスタの作製工程を示す図。
- 【図7】 薄膜トランジスタの作製工程を示す図。
- 【図8】 薄膜トランジスタの作製工程を示す図。
- 【図9】 電気光学装置の構成を示す図。
- 【図10】 電子機器の構成を示す図。

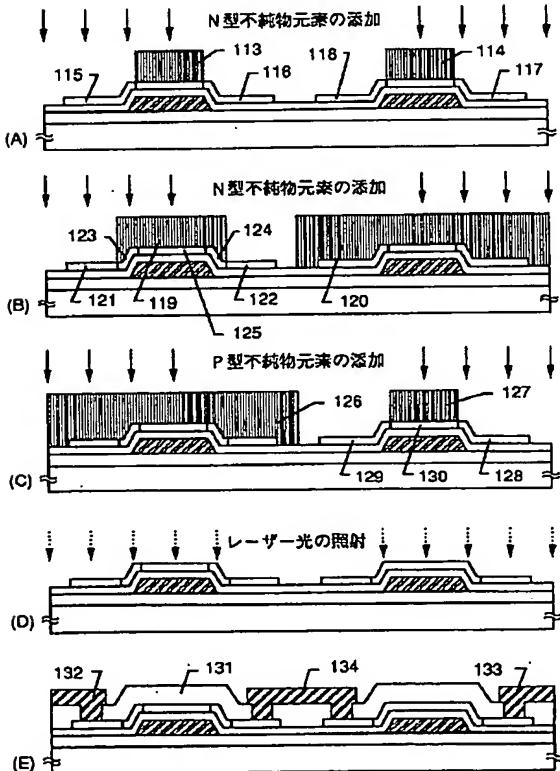
【符号の説明】

101	ガラス基板
102	下地膜
103、104	ゲイト電極
105	ゲイト絶縁膜
106	非晶質硅素膜
107	結晶性硅素膜
108	バッファ層
109	レジストマスク
110	ポロン含有領域
111、112	活性層

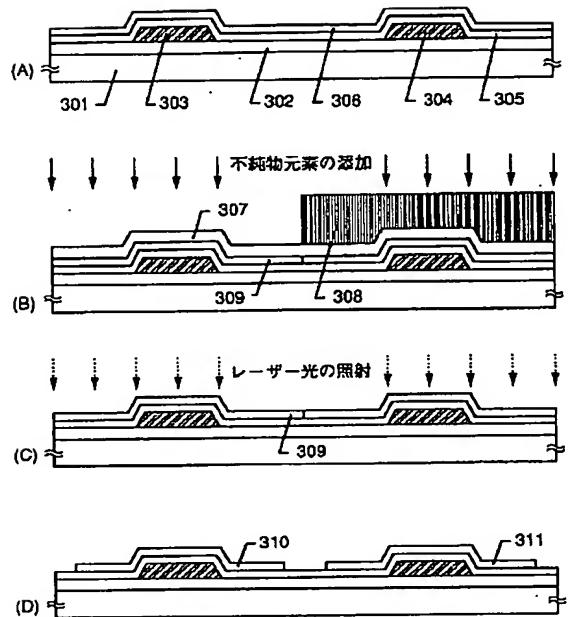
【図1】



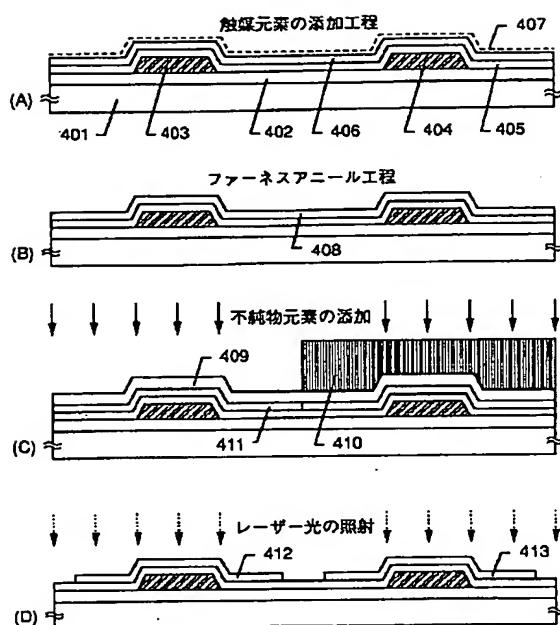
【図2】



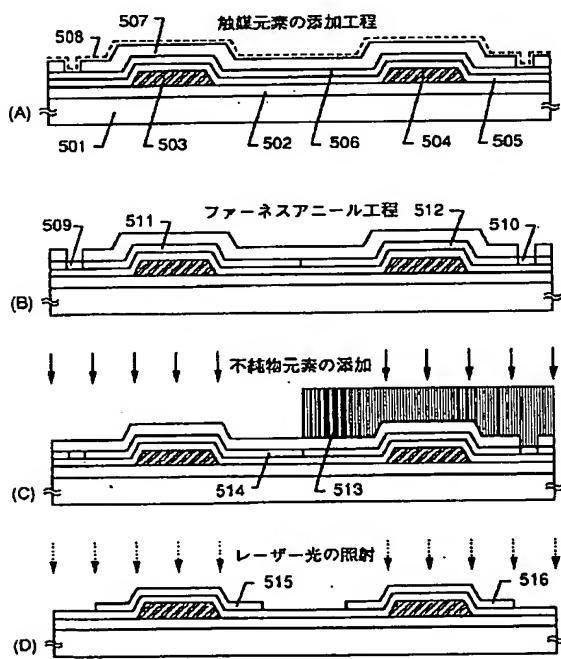
【図3】



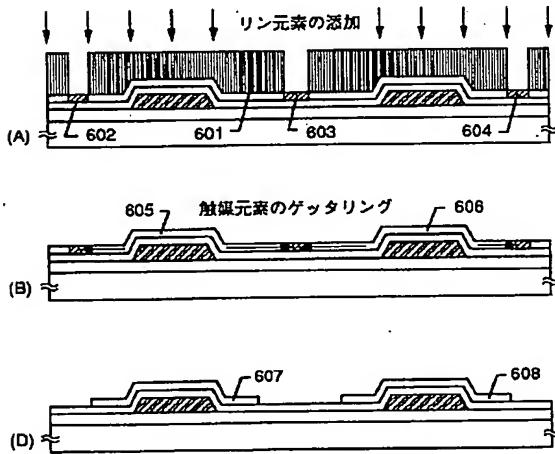
【図4】



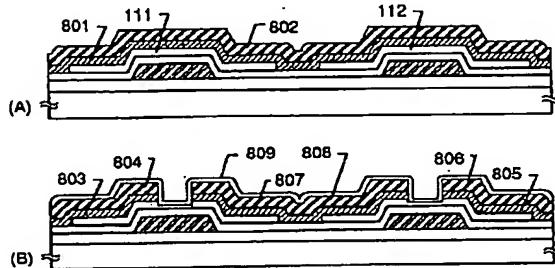
【図5】



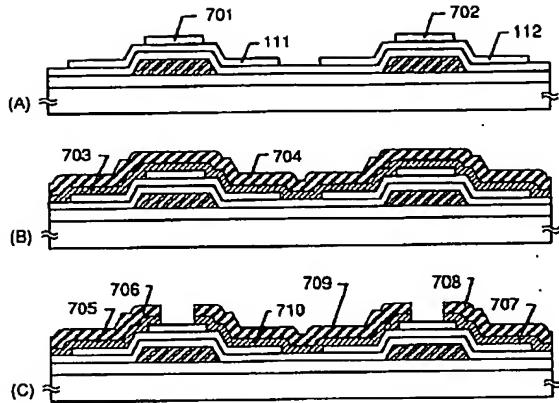
【図6】



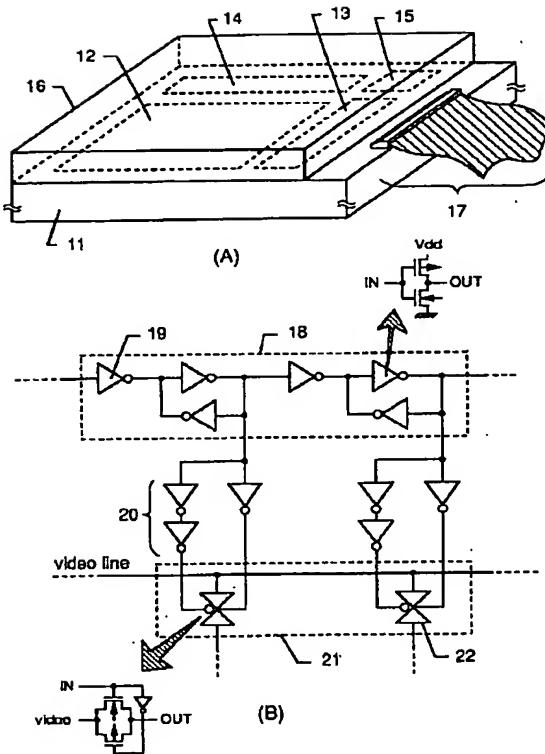
【図8】



【図7】



【図9】



【図10】

